



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001210077 A**

(43) Date of publication of application: 03.08.01

(51) Int. Cl.

G11C 11/409
G11C 11/407

(21) Application number: 2001000058

(22) Date of filing: 04.01.01

(30) Priority: 30.12.99 KR 1999 9966549
19.12.00 KR 2000 200078455

(71) Applicant: **HYUNDAI ELECTRONICS IND CO LTD**

(72) Inventor: JANG JI EUN
KIM MI YOUNG
LEE JAE JIN

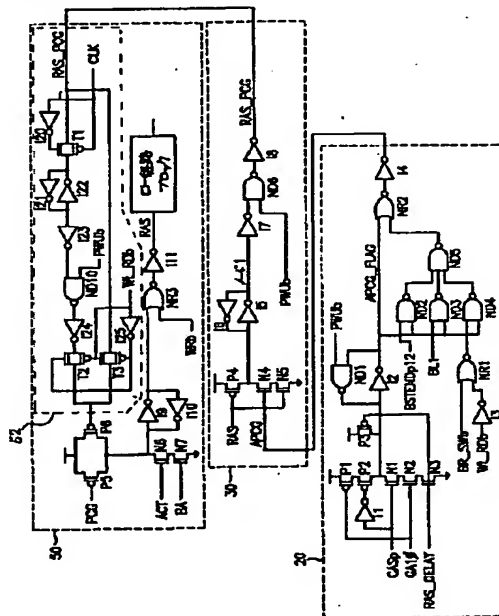
(54) AUTO-PRECHARGE DEVICE FOR SEMICONDUCTOR MEMORY ELEMENT

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a auto-precharge device for a semiconductor memory element which can perform stable precharge operation even when a frequency of an external clock signal is varied.

SOLUTION: This device is provided with an auto-precharge signal generating section 20 generating an internal precharge instruction signal based on a received external control signal and generating an auto-precharge signal, a ras-precharge signal generating circuit section 30 receiving the signal and generating a ras-precharge signal, a delay section outputting a write-in recovery signal having a fixed delay time in accordance with the internal precharge instruction signal at the time of write-in or read-out operation, and a ras generating section 50 generating a ras signal without delaying in accordance with the external precharge instruction signal, and generating a ras signal after an elapsed fixed delay time in accordance with the ras precharge signal.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-210077

(P2001-210077A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

G 1 1 C 11/409
11/407

G 1 1 C 11/34

3 5 3 F
3 5 4 C
3 6 2 S

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21)出願番号 特願2001-58(P2001-58)

(22)出願日 平成13年1月4日(2001.1.4)

(31)優先権主張番号 1 9 9 9 - 6 6 5 4 9

(32)優先日 平成11年12月30日(1999.12.30)

(33)優先権主張国 韓国 (K R)

(31)優先権主張番号 2 0 0 0 - 7 8 4 5 5

(32)優先日 平成12年12月19日(2000.12.19)

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72)発明者 張 支 銀

大韓民国京畿道安城郡錦山洞118-7

(72)発明者 金 美 英

大韓民国京畿道城南市盆唐区野塔洞379-11 201号

(72)発明者 李 在 眞

大韓民国京畿道利川市大月面邑洞里 現代
5次501-401

(74)代理人 100065215

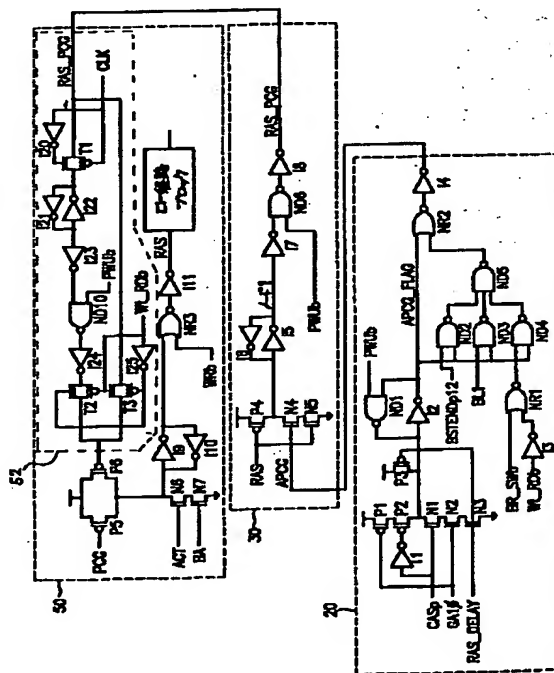
弁理士 三枝 英二 (外10名)

(54)【発明の名称】 半導体メモリ素子のオートプリチャージ装置

(57)【要約】

【課題】外部クロック信号の周波数に変動が生じた場合でも、安定したプリチャージ動作を行うことができる半導体メモリ素子のオートプリチャージ装置を提供すること。

【解決手段】受信した外部制御信号を基に内部プリチャージ命令信号を発生し、さらにオートプリチャージ信号を発生するオートプリチャージ信号発生部20と、この信号を受信しラスプリチャージ信号を発生するラスプリチャージ信号発生部30と、書込みまたは読出し動作時に、内部プリチャージ命令信号に応じて一定の遅延時間を有する書込みリカバリ信号を出力するディレイ部と、外部プリチャージ命令信号に応じて遅延なくラス信号を発生し、ラスプリチャージ信号に応じて一定の遅延時間経過後にラス信号を発生するラス発生部50とを備えている。



【特許請求の範囲】

【請求項1】バースト動作の後、自動的にプリチャージ動作を行う半導体メモリ素子のオートプリチャージ装置において、

外部制御信号を受信して内部プリチャージ命令信号を生成し、該内部プリチャージ命令信号とバースト動作と関連する制御信号を取り込んで、オートプリチャージ信号を発生するオートプリチャージ信号発生部と、

該オートプリチャージ信号を受信し、ラスプリチャージ信号を発生するラスプリチャージ信号発生部と、

書込み又は読出し動作時に、前記内部プリチャージ命令信号が入力されると、読出し時にはディスエーブルされて書込み時にのみイネーブルされ、一定の遅延時間を有する書込みリカバリ信号を出力するディレイ部と、外部プリチャージ命令信号が入力されると遅延なくラス信号を発生し、前記ラスプリチャージ信号が入力されると前記書込みリカバリ信号にตอบสนองし、一定の遅延時間経過後にラス信号を発生するラス発生部とを備えていることを特徴とする半導体メモリ素子のオートプリチャージ装置。

【請求項2】前記ディレイ部は、

外部及び内部制御信号、内部プリチャージ命令信号及び書込み／読出し信号が入力されて論理組み合わせを行う論理回路部と、

該論理回路部の出力信号が入力されて一定時間遅延させる遅延回路部と、

前記論理回路部の出力信号と前記遅延回路部の出力信号が入力されて、論理組み合わせを行い書込みリカバリ信号を出力する出力バッファ部とを備えていることを特徴とする請求項1に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項3】前記遅延回路部は複数の遅延調節部で構成され、書込み時にのみ前記論理回路部の出力信号を一定時間遅延させることを特徴とする請求項2に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項4】前記複数の遅延調節部は、それぞれ、電源に接続され、ゲートに前記論理回路部の出力信号が印加される第1トランジスタと、

接地され、ゲートに前記論理回路部の出力信号が印加される第2トランジスタと、

前記第1トランジスタと前記第2トランジスタとの間に接続された複数の抵抗と、

該複数の抵抗のうち、最後の抵抗に接続された反転素子と、

前記第1トランジスタ、前記反転素子及び前記複数の抵抗のうち、最後の抵抗の共通接点と接地電圧の間に接続された複数の第3トランジスタとを含んで構成されていることを特徴とする請求項3に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項5】前記論理回路部は、

外部及び内部制御信号が入力されて論理組み合わせを行う第1論理素子と、

該第1論理素子の出力信号が入力されて、その出力信号を反転させる反転素子と、

該反転素子の出力信号、前記内部プリチャージ命令信号及び前記書込み／読出し信号が入力されて論理組み合わせを行う第2論理素子とを備えていることを特徴とする請求項2に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項6】前記出力バッファ部は、

前記論理回路部の出力信号と前記複数の遅延調節部のうち、最後の遅延調節部の出力信号が入力されて論理組み合わせを行う第3論理素子と、

該第3論理素子の出力信号が入力されて、その出力信号を反転させる複数の反転素子とで構成されていることを特徴とする請求項2に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項7】前記ラス発生部は、

外部プリチャージ命令信号と、前記ラスプリチャージ信号発生部から出力されたラスプリチャージ信号がゲートに入力される並列に接続された第1及び第2トランジスタと、

アクティブ信号とバンクアドレス信号がゲートに入力される直列に接続された第3及び第4トランジスタと、

前記第1及び第2トランジスタの共通接点と該第3トランジスタとの間に接続されたラッチ回路と、

該ラッチ回路の出力信号と、前記ディレイ部から出力された書込みリカバリ信号が入力されて論理組み合わせを行う論理素子と、

該論理素子の出力信号が入力されて、その出力信号を反転させ、ラス信号を出力する反転素子とを含んで構成されていることを特徴とする請求項1に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項8】前記ラス発生部は、

前記ラスプリチャージ信号発生部から出力されたラスプリチャージ信号と、書込み／読出し信号が入力されて、その信号をクロック信号に同期して出力するラスプリチャージ信号伝達制御部と、

該ラスプリチャージ信号伝達制御部の出力信号と、外部プリチャージ命令信号がゲートに入力される並列に接続された第1及び第2トランジスタと、

アクティブ信号とバンクアドレス信号がゲートに入力される直列に接続された第3及び第4トランジスタと、

前記第1及び第2トランジスタの共通接点と前記第3トランジスタとの間に接続されたラッチ回路と、

該ラッチ回路の出力信号と、前記ディレイ部から出力された書込みリカバリ信号が入力されて論理組み合わせを行う論理素子と、

該論理素子の出力信号が入力されて、その出力信号を反転させ、ラス信号を出力する反転素子とを含んで構成さ

れていることを特徴とする請求項1に記載の半導体メモリ素子のオートプリチャージ装置。

【請求項9】前記ラスプリチャージ信号伝達制御部は、前記ラスプリチャージ信号、前記ラスプリチャージ信号の反転信号及びクロック信号が入力されて、それらの信号を伝達する第1伝達ゲートと、

該第1伝達ゲートの出力信号が入力されてラッチさせるラッチ回路と、

該ラッチ回路の出力信号の反転信号とパワーアップ信号が入力されて論理組み合わせを行う論理素子と、

該論理素子の反転信号及び書込み/読出し信号の反転信号が入力されて、それらの信号を伝達する第2伝達ゲートと、

前記ラスプリチャージ信号、前記書込み/読出し信号の反転信号が入力されて、それらの信号を伝達する第3伝達ゲートとを含んで構成されていることを特徴とする請求項8に記載の半導体メモリ素子のオートプリチャージ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ素子のオートプリチャージ装置に関し、より詳しくは、外部からプリチャージ命令信号が入力された場合には、遅延なくプリチャージ動作を行い、内部プリチャージ命令信号が入力された場合には、内部回路で予め定められたバースト長さ分の書込み/読出し動作を行った後、外部クロック信号の周期に拘らず、一定の遅延時間経過後にプリチャージ動作を行うように構成された半導体メモリ素子のオートプリチャージ装置に関するものである。

【0002】

【従来の技術】従来の技術に係る半導体メモリ素子のオートプリチャージ装置では、外部からプリチャージ命令信号が入力された場合には、外部クロック信号の周期に同期してプリチャージ動作を行い、内部プリチャージ命令信号が入力された場合には、内部回路で予め定められたバースト長さ分の書込み/読出し動作を行った後、外部クロック信号の周期に同期してプリチャージ動作を行うように構成されている。

【0003】上記のように、外部クロック信号の周期に同期してプリチャージ動作が行われる従来のオートプリチャージ装置を用いて半導体メモリ素子を駆動する場合には、一般に、クロック周波数が高いときは2ないし3クロック周期以後外部からプリチャージ命令信号を入力し、クロック周波数が低い場合は予め定められた一定の時間後、例えば、1クロック周期以後プリチャージ命令信号が入力されるように制御されている。

【0004】ところが、プリチャージ命令信号を外部クロック信号の周期に同期させて入力する従来の技術においては、外部クロック信号の周波数が高い場合、内部で作られるプリチャージ命令信号があまりにも早く入力さ

れて高速でプリチャージ動作が行われ、クロック信号の周波数が低い場合は、必要以上に多くの時間が経過した後に、プリチャージ動作が行われるという問題点がある。

【0005】図1は、前述の問題点が発生する従来技術におけるプリチャージ動作を示すタイミングチャートであり、書込み/読出し信号(Wt_Rdb)が入力された後、バースト長さ(BL=4クロック周期)以後のクロック信号(CLK)に同期して、プリチャージ動作が行われることを示す。

【0006】図1に示すように、書込み/読出し信号(Wt_Rdb)が入力された後、クロック信号(CLK)に同期してプリチャージ動作を行いラス(RAS)を発生するため、高周波数動作では十分な動作マージンを確保できないままプリチャージ動作が行われるので誤動作の発生頻度が高くなり、逆に、低周波数動作では内部プリチャージ動作に必要な以上のクロックが用いられて、高速動作を妨げる要因になるという問題が発生する。

【0007】

【発明が解決しようとする課題】本発明は、前述の問題点を解決するためになされたものであり、外部クロック信号に拘らず書込み/読出し動作時に、内部プリチャージ命令信号が入力されると、最後のバースト動作を行ったあと一定の遅延時間経過後にプリチャージ動作を行うように構成された装置を提供することを目的とする。

【0008】さらに、書込み/読出し動作時に内部プリチャージ命令信号が入力されると、読出し動作時には最後のバースト動作を行ったあと外部クロック信号に同期してプリチャージ動作を行い、書込み動作時には最後のバースト動作を行ったあと一定の遅延時間経過後にプリチャージ動作を行うように構成された装置を提供することを別の目的とする。

【0009】

【課題を解決するための手段】本発明に係る半導体メモリ素子のオートプリチャージ装置は、外部制御信号を受信して内部プリチャージ命令信号を生成し、内部プリチャージ命令信号とバースト動作と関連する制御信号等を取り込んで、オートプリチャージ信号を発生するオートプリチャージ信号発生部と、オートプリチャージ信号を受信しラスプリチャージ信号を発生するラスプリチャージ信号発生部と、書込み又は読出し動作時に前記内部プリチャージ命令信号が入力されると、読出し時にはディスエーブルされて書込み時にのみイネーブルされ、一定の遅延時間を有する書込みリカバリ信号を出力するディレイ部と、外部プリチャージ命令信号が入力されると遅延なくラス信号を発生し、ラスプリチャージ信号が入力されると前記書込みリカバリ信号にตอบสนองし、一定の遅延時間経過後にラス信号を発生するラス発生部とを備えていることを特徴とする。

【0010】なお、ラス発生部には、ラスプリチャージ

信号伝達制御部を備えていることが望ましい。

【0011】

【発明の実施の形態】以下に、図面を参照し、本発明に係る半導体メモリ素子のオートプリチャージ装置の実施の形態を詳細に説明する。

【0012】図2A及び図2Bは、本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置を示す図である。この装置は、外部クロック信号(CLK)に拘らず、外部からプリチャージ命令信号(PCG)が入力された場合には遅延なくプリチャージ動作を行い、内部プリチャージ命令信号(APCG_FLAG)が入力された場合には、最後のバースト動作を行ったあと一定の遅延時間経過後にプリチャージ動作を行うように構成されている。

【0013】図2A及び図2Bに示した半導体メモリ素子のオートプリチャージ装置は、カス(CASp)及びラス(RAS_DELAY)等の制御信号を受信して内部プリチャージ命令信号(APCG_FLAG)を生成し、生成した内部プリチャージ命令信号(APCG_FLAG)と、バースト動作に関連する制御信号(BSTENDp12、BL1、BR_Swb)を取り込んで、プリチャージの可否を決定するオートプリチャージ信号(APCG)を発生するオートプリチャージ信号発生部(20)と、オートプリチャージ信号(APCG)が入力されて、ラス発生の可否を決定するラスプリチャージ信号(RAS_PCG)を発生するラスプリチャージ信号発生部(30)と、書込み又は読出し動作時に内部プリチャージ命令信号(APCG_FLAG)が入力されると、読出し時にはディスエーブルされて書込み時にのみイネーブルされ、一定の遅延時間を有する書込みリカバリ信号(WRb)を出力するディレイ部(10)と、外部プリチャージ命令信号(PCG)が入力されると遅延なくラス信号(RAS)を発生し、ラスプリチャージ信号(RAS_PCG)が入力されると書込みリカバリ信号(WRb)にตอบสนองし、一定の遅延時間経過後にラス信号(RAS)を発生するラス発生部(40)とを備えている。

【0014】図2Aに示したオートプリチャージ信号発生部(20)は、ソースが電源に接続され、ゲートに外部アドレス(GA10)が入力されるpMOSトランジスタ(P1)と、外部制御信号(CASp)が入力されて反転させるインバータ(I1)と、インバータ(I1)の出力がゲートに印加され、ソースがpMOSトランジスタ(P1)のドレインに接続されたpMOSトランジスタ(P2)と、ドレインがpMOSトランジスタ(P2)のドレインに接続され、ゲートに外部制御信号(CASp)が入力されるnMOSトランジスタ(N1)と、ドレインがnMOSトランジスタ(N1)のソースに接続され、ゲートに外部アドレス(GA10)が印加されるnMOSトランジスタ(N2)と、ドレインがnMOSトランジスタ(N2)のソースに接続され、ソースが接地されてゲートにラス遅延信号(RAS_DELAY)が印加されるnMOSトランジスタ(N3)と、

nMOSトランジスタ(N3)のバルクにゲートが接続され、ソースが電源に接続されたpMOSトランジスタ(P3)と、pMOSトランジスタ(P3)のドレインに入力が接続されたインバータ(I2)と、インバータ(I2)の出力信号とパワーアップ信号(PWub)が入力されて論理組み合わせを行うナンドゲート(ND1)と、書込み/読出し信号(Wt_RD)が入力されて反転させるインバータ(I3)と、バースト読出しシングル書込み信号(BR_Swb)とインバータ(I3)の出力信号が入力されて論理組み合わせを行うノアゲート(NR1)と、内部プリチャージ命令信号(APCG_FLAG)、バースト終了信号(BSTENDp12)、バースト長さが1(1クロック周期)である信号(BL1)及びノアゲート(NR1)の出力信号が入力されて論理組み合わせを行う複数のナンドゲート(ND2、ND3、ND4)と、複数のナンドゲート(ND2、ND3、ND4)の出力信号等が入力されて論理組み合わせを行うナンドゲート(ND5)と、内部プリチャージ命令信号(APCG_FLAG)とナンドゲート(ND5)の出力信号が入力されて論理組み合わせを行うノアゲート(NR2)と、ノアゲート(NR2)の出力信号が入力されて反転させ、オートプリチャージ信号(APCG)を出力するインバータ(I4)とを含んで構成されている。

【0015】以下、実施の形態に係るオートプリチャージ信号発生部(20)の動作を簡単に説明する。このオートプリチャージ信号発生部(20)で、外部アドレス(GA10)がハイレベルとなるのは、書込み/読出し動作後オートプリチャージ(autopcg)動作を行わせるときを意味する。ここで、書込み/読出し信号(Wt_RD)は、書込み時にはハイレベルを保持し、読出し時にはローレベルを保持する信号である。

【0016】したがって、外部制御信号(CASp)、外部アドレス(GA10)、ラス遅延信号(RAS_DELAY)がハイレベルとなれば、内部プリチャージ命令信号(APCG_FLAG)がハイレベルとなる。こうなれば、内部プリチャージ命令信号(APCG_FLAG)、バースト終了信号(BSTENDp12)及びバースト長さが1(1クロック周期)である信号(BL1)を入力にするナンドゲート(ND2、ND3、ND4)がスタンバイ(stand-by)される。すなわち、内部プリチャージ命令信号(APCG_FLAG)がハイレベルとなっている状況でバースト終了信号(BSTENDp12)がイネーブルされると、オートプリチャージ信号(APCG)がイネーブルされることになる。

【0017】図2Aに示したラスプリチャージ信号発生部(30)は、ソースが電源に接続され、ゲートにラス信号(RAS)が印加されるpMOSトランジスタ(P4)と、ドレインがpMOSトランジスタ(P4)のドレインに接続され、ゲートにオートプリチャージ信号発生部(20)から出力されたオートプリチャージ信号(APCG)が印加されるnMOSトランジスタ(N4)と、ドレインがnMOSトランジスタ(N4)のソースに接続されてソースが

接地され、ゲートにラス信号 (RAS) が印加される nMOS トランジスタ (N5) と、pMOS トランジスタ (P4) と nMOS トランジスタ (N4) の共通接点に接続されたラッチ回路 (I5、I6) と、ラッチ回路 (I5、I6) の出力信号が入力されて、その出力信号を反転させるインバータ (I7) と、インバータ (I7) の出力信号とパワーアップ信号 (PWUp) が入力されて論理組み合わせを行うナンドゲート (ND6) と、ナンドゲート (ND6) の出力信号が入力されて、その出力信号を反転させたラスプリチャージ信号 (RAS_PCG) を出力するインバータ (I8) とを含んで構成されている。

【0018】以下、実施の形態に係るラスプリチャージ信号発生部 (30) の動作を簡単に説明する。このラスプリチャージ信号発生部 (30) では、オートプリチャージ信号発生部 (20) から出力されたオートプリチャージ信号 (APCG) がイネーブルされた後、ラス信号 (RAS) が引き続きハイレベルを保持している状況で、すなわち、ラス信号 (RAS) がハイレベル、オートプリチャージ信号 (APCG) がハイレベルのとき、nMOS トランジスタ (N4、N5) をターンオンさせノード1をハイレベルにすれば、ラスプリチャージ信号 (RAS_PCG) がローレベルのパルスを発生させる。

【0019】図2Bに示したディレイ部 (10) は、外部及び内部制御信号 (CASp、ICASP)、内部プリチャージ命令信号 (APCG_FLAG) 及び書込み/読出し信号 (Wt_RDb) が入力されて論理組み合わせを行う論理回路部 (12) と、論理回路部 (12) の出力信号が入力されて一定時間遅延させる遅延回路部 (14) と、論理回路部 (12) の出力信号と遅延回路部 (14) の出力信号が入力されて論理組み合わせを行い、ラス発生部 (40) に出力する出力バッファ部 (16) とを備えている。

【0020】ここで、論理回路部 (12) は、外部及び内部制御信号 (CASp、ICASP) が入力されて論理組み合わせを行うノアゲート (NR4) と、ノアゲート (NR4) の出力信号が入力されて、その出力信号を反転させるインバータ (I12) と、インバータ (I12) の出力信号と内部プリチャージ命令信号 (APCG_FLAG) 及び書込み/読出し信号 (Wt_RDb) が入力されて論理組み合わせを行うナンドゲート (ND7) とを含んで構成される。

【0021】遅延回路部 (14) は、複数の遅延調節部 (1、2、3、4) を含んで構成され、記録時のみ時間を遅延させる。このような複数の遅延調節部 (1、2、3、4) は、それぞれ、ソースが電源に接続された pMOS トランジスタ (P7、P8、P9、P10) と、ソースが接地された nMOS トランジスタ (N20、N21、N22、N23) と、これらの nMOS トランジスタ (N20、N21、N22、N23) のドレインに接続された複数の抵抗 (R1~R3、R4~R6、R7~R9、R10~R12) と、これらの抵抗 (R1~R3、R4~

R6、R7~R9、R10~R12) に接続されたインバータ (I13、I14、I16、I17) と、pMOS トランジスタ (P7、P8、P9、P10)、インバータ (I13、I14、I16、I17) 及び抵抗 (R3、R6、R9、R12) の共通接点と接地端との間に接続された複数の nMOS トランジスタ (N8~N10、N11~N13、N14~N16、N17~N19) とを含んで構成される。

【0022】さらに、前述の出力バッファ部 (16) は、論理回路部 (12) の出力信号と複数の遅延調節部 (1、2、3、4) のうち、最後の遅延調節部 (4) の出力信号が入力されて論理組み合わせを行うナンドゲート (ND9) と、ナンドゲート (ND9) の出力信号が入力されて、その出力信号を反転させる複数のインバータ (I18、I19) とで構成される。

【0023】以下、図2Bに示したディレイ部 (10) の動作を説明する。このディレイ部 (10) では、ハイレベルの内部プリチャージ命令信号 (APCG_FLAG) が入力されると、読出し時には書込み/読出し信号 (Wt_RDb) がローレベルであるため、ローレベルの書込みリカバリ信号 (WRb) を出力する。一方、書込み時には、書込み/読出し信号 (Wt_RDb) がハイレベルであるため、ハイレベルの外部及び内部制御信号 (CASp、ICASP) が入力されると、ハイレベルの書込みリカバリ信号 (WRb) を出力する。

【0024】すなわち、内部プリチャージ命令信号 (APCG_FLAG) が入力され、回路の内部で予め定められたバースト長さ (BL=4) 分の書込み/読出し動作を行ったあとプリチャージ動作を行う場合、外部クロック信号の周期に拘らず、一定の遅延時間経過後にプリチャージ動作を行うようにするために、前述のディレイ部 (10) が追加されている。

【0025】次に、図2Aに示したラス発生部 (40) は、ソースに電源電圧が接続され、ゲートに外部から入力されるプリチャージ命令信号 (PCG) が印加される pMOS トランジスタ (P5) と、ソースに電源電圧が接続され、ゲートにラスプリチャージ信号発生部 (30) から出力されたラスプリチャージ信号 (RAS_PCG) が印加される pMOS トランジスタ (P6) と、pMOS トランジスタ (P5、P6) の共通接点にドレインが接続され、ゲートにアクティブ信号 (ACT) が印加される nMOS トランジスタ (N6) と、ドレインが nMOS トランジスタ (N6) のソースに接続されてソースが接地され、ゲートにバンクアドレス信号 (BA) が印加される nMOS トランジスタ (N7) と、pMOS トランジスタ (P5、P6) の共通接点と nMOS トランジスタ (N6) のドレインの間に接続されたラッチ回路 (I9、I10) と、ラッチ回路 (I9、I10) の出力信号と、ディレイ部 (10) から出力された書込みリカバリ信号 (WRb) が入力されて論理組み合わせを行うノアゲート (NR3) と、ノアゲート

(NR3)の出力信号が入力されて、その出力信号を反転させ、ラス信号(RAS)を発生するインバータ(I11)と含んで構成されている。

【0026】以下、本発明の実施の形態に係るラス発生部(40)の動作を簡単に説明する。このラス発生部(40)では、アクティブ信号(ACT)とバンクアドレス信号(BA)が入力されるとラス信号(RAS)がハイにイネブルされる。このとき、書込み/読出し信号(Wt_RDb)が入力されない状態では、外部及び内部制御信号(CASp、ICASp)が発生しないため、ディレイ部(10)から出力された書込みリカバリー信号(WRb)はローレベルである。

【0027】次に、書込み/読出し信号(Wt_RDb)が入力され、外部及び内部制御信号(CASp、ICASp)が発生すると、ディレイ部(10)から出力された書込みリカバリー信号(WRb)は、読出し時には引き続きローレベルに保持されるが、書込み時にはハイレベルにイネブルされる。

【0028】このように、ラスプリチャージ信号発生部(30)が作動し、ラスプリチャージ信号(RAS_PCG)がローレベルのパルスが発生すると、このラスプリチャージ信号(RAS_PCG)がpMOSトランジスタ(P6)のゲートに入力され、このpMOSトランジスタ(P6)がターンオンされる。このとき、読出しのときはディレイ部(10)から出力された書込みリカバリー信号(WRb)がローレベルであるため、ラス信号(RAS)がローレベルにディスエーブルされる。書込みのときはディレイ部(10)から出力された書込みリカバリー信号(WRb)がハイであるため、書込みリカバリー信号(WRb)がローレベルとなるまで待機しながらラス信号(RAS)がディスエーブルされる(図3及び図4参照)。

【0029】図3及び図4は、前述した本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。図3及び図4に示した動作タイミングチャートから明らかなように、書込み/読出し動作時に内部プリチャージ命令信号(APCG_FLAG)が入力されると、読出し動作時には最後のバースト動作が行われた後、遅延時間t1後にオートプリチャージ動作を行ってラス(RAS)を発生させ、書込み動作時には最後のバースト動作が行われた後、遅延時間t2後にオートプリチャージ動作が行われてラス(RAS)を発生させる。

【0030】したがって、書込み/読出し動作時に内部プリチャージ命令信号(APCG_FLAG)が入力されると、書込み動作時に時間t3だけ遅延させて書込みリカバリー信号(WRb)を出力し、読出し動作時には遅延なく書込みリカバリー信号(WRb)を出力することになり、安定した動作マージンを確保することができ、さらに動作速度の高速化を実現することができる。

【0031】図5A及び図5Bは、本発明の第2の実施

の形態に係る半導体メモリ素子のオートプリチャージ装置を示す回路図である。この装置は、外部からプリチャージ命令信号(PCG)が入力された場合は遅延なくプリチャージ動作を行い、内部プリチャージ命令信号(APCG_FLAG)が入力されると、読出し動作時には、最後のバースト動作を行ったあと外部クロック信号(CLK)に同期してプリチャージ動作を行い、書込み動作時には、最後のバースト動作を行ったあと一定の遅延時間経過後にプリチャージ動作を行うように構成されている。

【0032】図5A及び図5Bに示した半導体メモリ素子のオートプリチャージ装置は、ラス発生部(50)内にあるラスプリチャージ信号伝達制御部(52)を除いては、全ての構成が図2A及び図2Bに示した半導体メモリ素子のオートプリチャージ装置と同一であるため、同一部分に対する説明は省略する。

【0033】図5Aに示したラスプリチャージ信号伝達制御部(52)は、クロック信号(CLK)が入力されると、その出力信号を反転させるインバータ(I20)と、インバータ(I20)の出力信号、ラスプリチャージ信号(RAS_PCG)及びクロック信号(CLK)が入力され、それらの信号を伝える伝達ゲート(T1)と、伝達ゲート(T1)の出力信号が入力されてラッチさせるラッチ回路(I21、I22)と、ラッチ回路(I21、I22)の出力信号が入力されて、その出力信号を反転させるインバータ(I23)と、インバータ(I23)の出力信号とパワーアップ信号(PWUb)が入力されて論理組み合わせを行うナンドゲート(ND10)と、ナンドゲート(ND10)の出力信号が入力されて、その出力信号を反転させるインバータ(I24)と、書込み/読出し信号(Wt_RDb)が入力されて、その出力信号を反転させるインバータ(I25)と、インバータ(I24)の出力信号及びインバータ(I25)の出力信号が入力されて、それらの信号を伝える伝達ゲート(T2)と、ラスプリチャージ信号発生部(30)で発生したラスプリチャージ信号(RAS_PCG)及びインバータ(I25)の出力信号が入力されて、それらの信号を伝える伝達ゲート(T3)とで構成されている。

【0034】以下、ラス発生部(50)の動作を説明する。ラス発生部(50)では、書込み時には、書込み/読出し信号(Wt_RDb)がハイレベルのとき、二つの伝達ゲート(T2、T3)のうち伝達ゲート(T3)が開かれる。そのため、図2Aに示した半導体メモリ素子のオートプリチャージ装置の場合と動作が同じである。しかし、読出し動作時には、書込み/読出し信号(Wt_RDb)がローレベルとなり、伝達ゲート(T2)が開かれる。この伝達ゲート(T2)が開かれると、ラスプリチャージ信号発生部(30)から出力されたラスプリチャージ信号(RAS_PCG)がローレベルとなっても、クロック信号(CLK)の制御を受けて伝達ゲート(T1)が開

かれるまで待機するため、クロック (CLK) に同期させることになる。こうなると、オートプリチャージ信号 (APCG) が、読出し時には常に次のクロック信号に同期して出力されるので、書込み時にはクロック信号に拘らず、一定の遅延後に出力されることになる。

【0035】図6及び図7は、本発明の第2の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。図6及び図7に示した動作タイミングチャートから、書込み/読出し動作時に内部プリチャージ命令信号 (APCG_FLAG) が入力されると、読出し動作時には最後のバースト動作を行ったあとクロックに同期し、遅延時間も4後にプリチャージ動作を行い、書込み動作時には最後のバースト動作を行ったあと、遅延時間も5後にプリチャージ動作を行うことが分かる。

【0036】したがって、書込み/読出し動作時に内部プリチャージ命令信号 (APCG_FLAG) が入力されると、書込み動作時には時間も6だけ遅延させて書込みリカバリ信号 (WRb) を出力させるので、安定した動作マージンを確保することができる。

【0037】

【発明の効果】以上のように、本発明に係る半導体メモリ素子のオートプリチャージ装置は、外部からプリチャージ命令信号 (PCG) が入力されると、遅延なくそのままプリチャージ動作を行うように構成されている。一方、内部プリチャージ命令信号 (APCG_FLAG) が入力されると、一定の遅延時間経過後にプリチャージ動作を行うように構成されている。そのため、クロック周波数変化に拘らず安定したプリチャージ動作を行うことおよび安定した動作マージンを確保することができ、さらに、動作速度の高速化を実現することができるという非常に優れた効果がある。

【0038】なお、本発明の好ましい実施の形態等は、例示の目的のために開示されたものであり、当業者であれば本発明の技術思想と請求項に記載されている技術的範囲内で多様な修正、変更、付加等が可能であり、このような修正・変更等も本発明の技術的範囲に属する。

【図面の簡単な説明】

【図1】従来の技術に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。

【図2A】本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の回路構成のうち、オートプリチャージ信号発生部、ラスプリチャージ信号発生部およびラス発生部を示す回路図である。

【図2B】本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の回路構成のうち、ディレイ部を示す回路図である。

【図3】本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミング図である。

【図4】本発明の第1の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。

【図5A】本発明の第2の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の回路構成のうち、オートプリチャージ信号発生部、ラスプリチャージ信号発生部およびラス発生部を示す回路図である。

【図5B】本発明の第2の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の回路構成のうち、ディレイ部を示す回路図である。

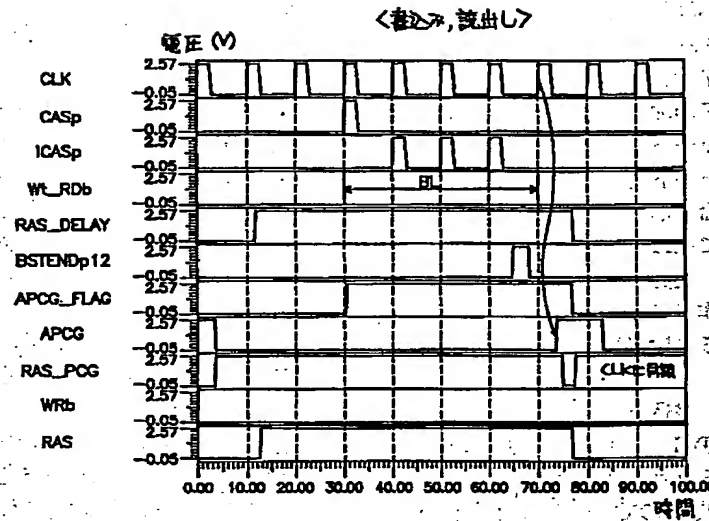
【図6】本発明の第2の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。

【図7】本発明の第2の実施の形態に係る半導体メモリ素子のオートプリチャージ装置の動作を示すタイミングチャートである。

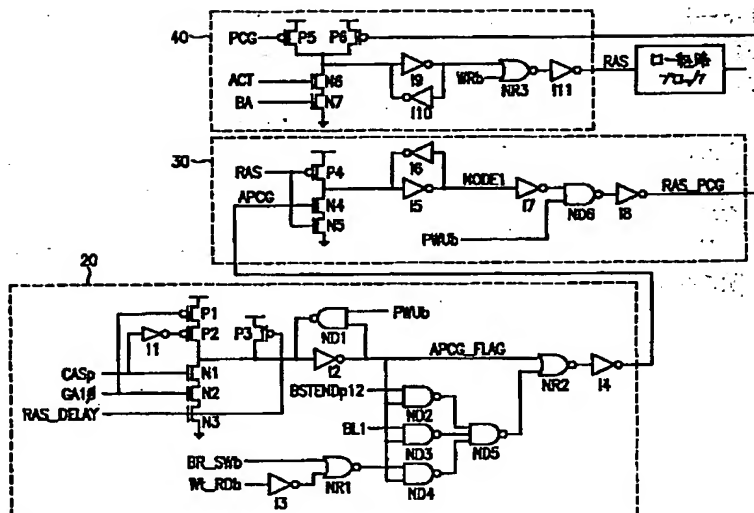
【符号の説明】

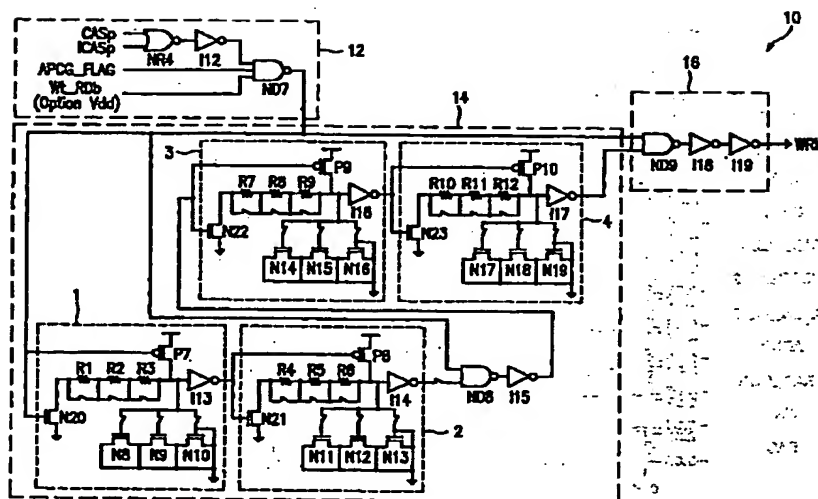
- 10：ディレイ部
- 12：論理回路部
- 14：遅延回路部
- 16：出力バッファ部
- 20：オートプリチャージ信号発生部
- 30：ラスプリチャージ信号発生部
- 40、50：ラス発生部
- 52：ラスプリチャージ信号伝達制御部

【図1】

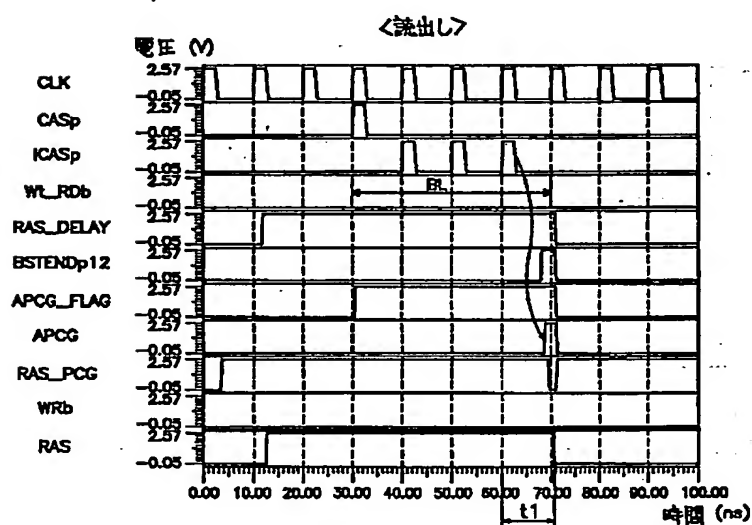


【図2A】

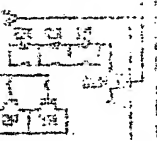


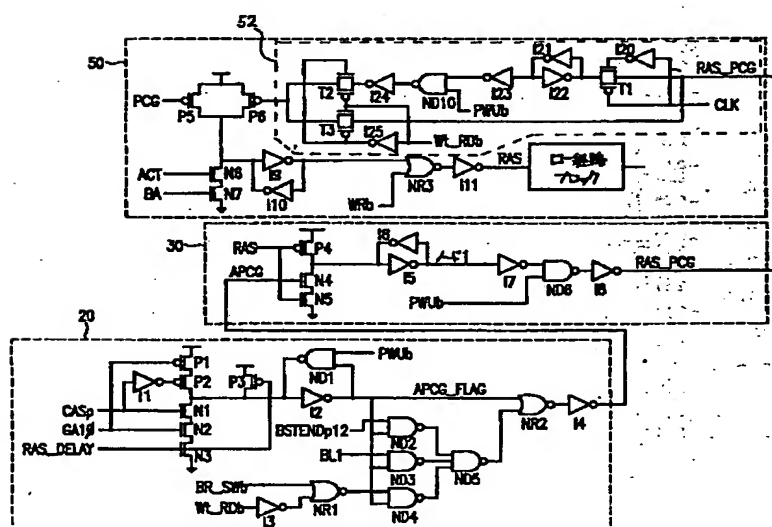


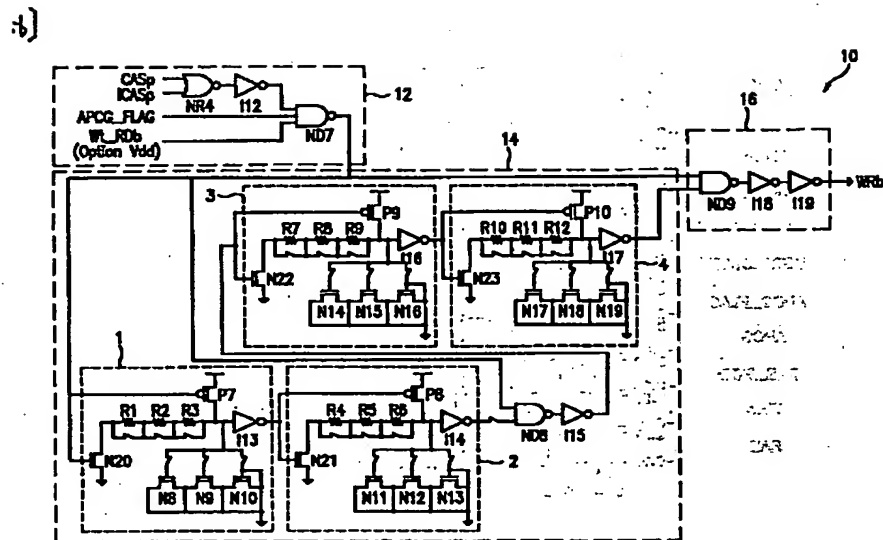
【図3】



〈巻末〉







＜読出し＞

